

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274977

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H04B 1/707

H03H 17/02

(21)Application number : 10-071625

(71)Applicant : SHARP CORP

(22)Date of filing : 20.03.1998

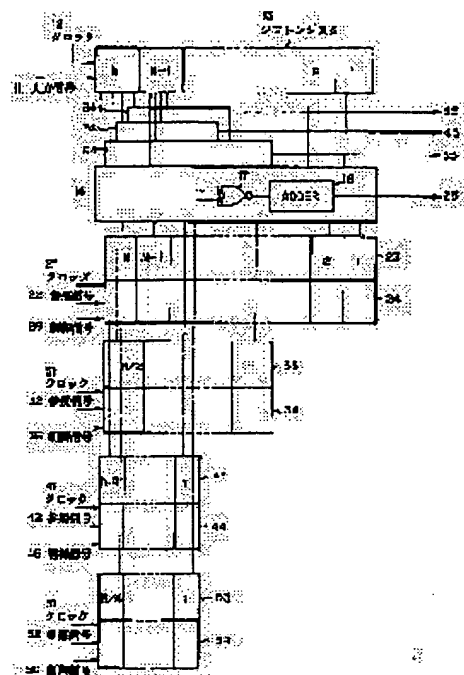
(72)Inventor : HIKOFUSA KEIJI

(54) MATCHED FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a matched filter(MF) for spread spectrum communication and CDMA communication that has provision for radio communication processing from low speed data to high speed data and detects delayed waves.

SOLUTION: Latching circuits 23-53 latch a reference code with a code length (N) at a basic data speed and each code at a double speed and a 4-fold speed, and four arithmetic circuits 14-84 execute a correlation arithmetic operation with an input spread code arrived in a shift register 13. When data is sent at a speed four times that of the basic speed, each MF conducts an arithmetic operation in response to a code length of N/4, constitutes plural MFs and a reference signal is revised for each bit shift of data of an input signal in matching with a spread signal used for transmission, thus any other MF detects a main signal and the other MFs detect multi-path wave signals delayed by one data bit each.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-274977

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 B 1/707

H 0 4 J 13/00

D

H 0 3 H 17/02

6 0 1

H 0 3 H 17/02

6 0 1 Z

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21)出願番号

特願平10-71625

(22)出願日

平成10年(1998)3月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 彦惣 桂二

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

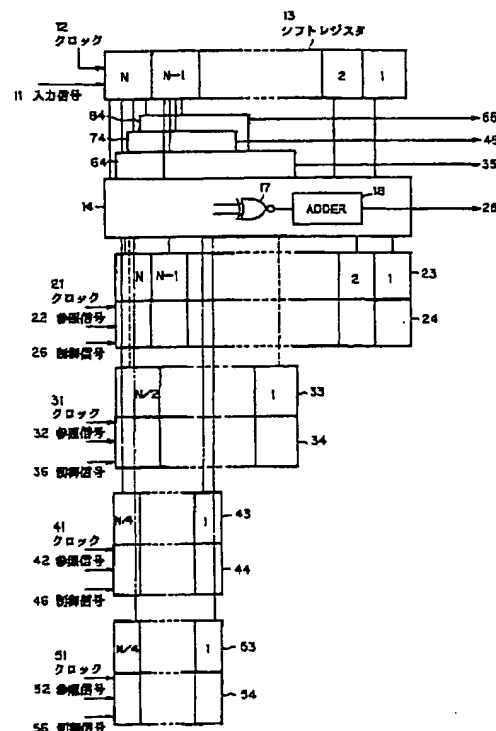
(74)代理人 弁理士 高野 明近

(54)【発明の名称】 マッチトフィルタ

(57)【要約】

【課題】 低速から高速データまで扱う無線通信に対応し、遅延波の検出を可能としたスペクトル拡散通信、C DMA通信用マッチトフィルタ (MF) の提供。

【解決手段】 基本データ速度の符号長 (N) の参照符号、2倍速、4倍速の各符号をラッチ回路23～53では保持し得、シフトレジスタ13に到来する入力拡散符号との相関演算を4つの演算回路14～84で実行し得る。基本速度の4倍でデータを送る場合に各MFはN/4の符号長に応じた演算を行い、複数のMFを構成し、入力信号の1データビットシフト毎に参照信号を送信時に用いた拡散信号に合わせて変更することにより、いずれか1つのMFからはメイン信号、それ以外のMFからは1データビットずつ遅延したマルチパス波信号が検出できる。



【特許請求の範囲】

【請求項1】 送信データを拡散符号により拡散した拡散信号を受信し得た入力拡散信号を転送する入力信号転送手段と、前記拡散符号による個別の参照信号を入力・転送する入力・転送手段と、該入力・転送手段により転送された個別の参照信号を保持する複数のラッチ回路と、前記入力信号転送手段により転送される入力拡散信号と前記複数のラッチ回路に保持された参照信号との相関演算を実行する複数の相関演算手段とを備え、前記複数のラッチ回路及び前記複数の相関演算回路を前記送信データのデータ速度に応じた数にて構成することにより各々からフィルタ信号を出力するマッチトフィルタであって、複数の該フィルタ信号出力のうちいずれか1つは前記入力拡散信号のメイン信号に対するフィルタ信号出力とし、その他はマルチパス波に対するフィルタ信号出力としたことを特徴とするマッチトフィルタ。

【請求項2】 前記複数のラッチ回路に保持する参照信号を前記送信データに用いた拡散信号に合わせて1データビット毎に変更することを特徴とする請求項1記載のマッチトフィルタ。

【請求項3】 前記相関演算手段として、拡散チップレート一定の条件で基本データ速度に用いる拡散符号のチップ数に対し2のべき乗分の1のチップ数の拡散符号に合わせた相関演算を実行する2のべき乗個の手段を用いることにより基本データ速度の2のべき乗倍の速度に対応させることを特徴とする請求項1又は2記載のマッチトフィルタ。

【請求項4】 送信データを拡散符号により拡散した拡散信号を受信し得た入力拡散信号を転送する入力信号転送手段と、前記拡散符号による参照信号を入力・転送する入力・転送手段と、該入力・転送手段により転送された参照信号を保持するラッチ回路と、前記入力信号転送手段により転送される入力拡散信号と前記ラッチ回路に保持された参照信号との相関演算を複数のブロックに分割した信号の部分毎に実行する相関演算手段と、該相関演算手段により求めた部分相関値を加算するための加算回路と、前記部分相関値または前記加算回路により求めた加算値を前記送信データのデータ速度に応じて選択する選択回路とを備えるマッチトフィルタであって、複数のブロックに分割された信号の部分相関を実行する前記相関演算手段により求め前記選択回路で選択された前記部分相関値のうちいずれか1つ、或いは、前記加算回路により求めた加算値のうちいずれか1つは、前記入力拡散信号のメイン信号に対するフィルタ信号とし、その他の相関値は、マルチパス波に対するフィルタ信号としたことを特徴とするマッチトフィルタ。

【請求項5】 前記ラッチ回路に保持する参照信号を前記送信データに用いた参照信号に合わせて1データビット毎に変更することを特徴とする請求項4記載のマッチトフィルタ。

【請求項6】 前記相関演算手段として、拡散チップレート一定の条件で基本データ速度に用いる拡散符号のチップ数に対し2のべき乗分の1のチップ数の拡散符号に合わせた2のべき乗個のブロックに分割された部分相関を実行する手段を用いることにより基本データ速度の2のべき乗倍の速度に対応させることを特徴とする請求項4又は5記載のマッチトフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マッチト（整合）フィルタ（MF：Matched Filter）に関し、より詳細には、スペクトル拡散（SS：Spread Spectrum）通信システム及びCDMA（Code Division Multiplex Access）システム受信機に用いるMFに関するものである。

【0002】

【従来の技術】スペクトル拡散通信及びスペクトル拡散通信技術を利用したCDMAシステムは、マルチパスフェージングに強く、データの高速度が可能で、通信品質が良好で、周波数利用効率が良いため、次世代の移動通信及びマルチメディア無線通信に有望な通信方式である。スペクトル拡散通信は、送信側において、伝送すべき信号を帯域幅よりもはるかに広い帯域に拡散し、スペクトル拡散信号として送信される。一方、受信側ではスペクトル拡散された信号を元の信号帯域幅に復元する機能が要求される。

【0003】この元の信号帯域幅に復元する動作は逆拡散と呼ばれ、逆拡散はMFによる手法及びスライディング相関による手法が知られている。スライディング相関手法は構成が容易であり、また任意の符号長に対する相関が可能のため、広く使用されているが、初期同期時間が長いという問題点がある。一方、MFによる手法は符号長に対する制限がある、という問題点を持っているが、同期時間が短い特徴がある。また、MFによる手法においては、パスダイバシティ特性を利用してマルチパス信号の分離が可能のため、移動体通信のように劣悪なマルチパス環境下での高速・高品質無線マルチメディア通信への応用が期待される。MFを実現する手法としては、文献：横山光雄著“スペクトル拡散通信システム”科学技術出版社、pp. 326～328、に参照されるように、弾性表面波素子（SAW：Surface Acoustic Wave）やCCD（Charge Coupled Device）が利用されている。

【0004】一方、デジタル回路を利用したデジタルMFの構成の一例を図12に示す。入力デジタル信号はN段のシフトレジスタSのN～1に順次クロック信号により転送される。一方、参照（Reference）信号は同様にN段のシフトレジスタRのN～1から成っており、入力信号に整合すべき符号（1，0）があらかじめN～1に設定されている。シフトレジスタSに入力信号が入力・転送される毎に参照用シフトレジスタRとのデジタル演

算 (EXNOR: Exclusively NOR) および演算結果の加算 (ADDER) が実行され、出力として入力信号と参照信号との相関が得られる。この詳細については、文献: “高速デジタル相関器 LSI の構成法” 電子情報通信学会論文誌、Vol. J71-C NO. 4 p. 545~552 1998年4月、に示されている。

【0005】

【発明が解決しようとする課題】上記のように、図12の構成では、長い符号長に対するMFを実現するにはシフトレジスタ数Nが多くなるため、回路規模が大きくなり、LSI化した場合のチップサイズが大きくなる。従って、高価格及び消費電力が大きくなる問題があるため、シフトレジスタの段数Nまたは使用するMF数を削減しなければならない。また、一般に拡散符号のチップ当たり1サンプリングした場合には、シフトレジスタ段数Nはスペクトルを拡散する符号長(周期長)に等しく設計される。マルチメディアへの応用では、データ速度(シンボル速度)は音声のように低速な場合から画像データのように高速データまで対応する必要がある。低速データの場合には、単位となるデータビット時間長は長いのでマルチパス波が存在しても隣接データビットに遅延波が及ぶことはない。しかし、高速データになると、データの1単位となるビット時間長が短くなるため、マルチパス信号の遅延時間がデータの1単位ビット時間長より大きくなることから、隣接ビットに遅延波が及ぶためスペクトル拡散の特徴であるパスダイバシティ特性を利用してマルチパス信号の分離・検出ができないという問題が発生する。

【0006】この発明は、こうした従来技術における問題点に鑑みてなされたもので、SS通信システム及びCDMAシステムの受信信号の逆拡散処理を行うMFにおいて、可変データ速度に対応することが可能なMF及び遅延波の遅延時間がデータの1ビット時間長以上になるような環境下でも遅延波を検出し処理することにより誤りの少ない相関出力信号を効率よく得るためのMFを提供することをその解決すべき課題とする。

【0007】

【課題を解決するための手段】データ速度が可変である場合において、最も低速なデータに対する拡散符号としてNチップを使用しているとする。本発明のMF構成では、このスペクトル拡散及びCDMA受信機において拡散符号長Nチップに対するMFを用意する。可変データ速度に対応するため、拡散長 $N/2$ に対するMFを1個、さらに拡散長 $N/4$ に対するMFを2個用意する。以下、同様に、拡散長 $N/8$ に対するMFを4個等データ速度の可変量に応じて所要のMFを用意する。また、制御信号によりMFの参照コードを可変・保持するための各拡散長に対応したラッチ回路が各MFに接続された構成をとっている。この構成において、参照信号・ラッチ回路に設定すべき拡散符号をデータ1ビット毎に切り

換えて使用することを特徴とするものである。

【0008】その他の手段として、最も低速データに対する拡散符号長チップに対するMFを構成する。2倍、4倍の高速データ速度に対応するために、複数の部分相関演算を実行し、データ速度に対応して部分相関値の加算及び選択を行う構成とする。この構成において、参照信号・ラッチ回路に設定すべき拡散符号をデータ1ビット毎に切替えて使用することを特徴とするものである。

【0009】本発明によれば、高速データ速度の場合、例えば4個並列に設置されたMFに信号をパラレル入力し、また、参照コードをデータの1ビット時間毎に入力拡散符号に応じてシフト・更新することで4倍のビット時間長までのマルチパス遅延波の分離が可能となる。さらに、高速データ速度では、同様に8個のMFを用いることで、8倍のビット時間長までのマルチパス遅延波までの分離が可能となる。また、1個のMFの部分相関値を加算または選択利用することにより、メイン信号、マルチパス信号の分離・選択が可能となる。

【0010】そして、各請求項の発明は、下記の技術手段を構成する。請求項1の発明は、送信データを拡散符号により拡散した拡散信号を受信し得た入力拡散信号を転送する入力信号転送手段と、前記拡散符号による個別の参照信号を入力・転送する入力・転送手段と、該入力・転送手段により転送された個別の参照信号を保持する複数のラッチ回路と、前記入力信号転送手段により転送される入力拡散信号と前記複数のラッチ回路に保持された参照信号との相関演算を実行する複数の相関演算手段とを備え、前記複数のラッチ回路及び前記複数の相関演算回路を前記送信データのデータ速度に応じた数にて構成することにより各々からフィルタ信号を出力するマッチトフィルタであって、複数の該フィルタ信号出力のうちいずれか1つは前記入力拡散信号のメイン信号に対するフィルタ信号出力とし、その他はマルチパス波に対するフィルタ信号出力としたことを特徴としたものである。

【0011】請求項2の発明は、請求項1の発明において、前記複数のラッチ回路に保持する参照信号を前記送信データに用いた拡散信号に合わせて1データビット毎に変更することを特徴としたものである。

【0012】請求項3の発明は、請求項1又は2の発明において、前記相関演算手段として、拡散チップレート一定の条件で基本データ速度に用いる拡散符号のチップ数に対し2のべき乗分の1のチップ数の拡散符号に合わせた相関演算を実行する2のべき乗個の手段を用いることにより基本データ速度の2のべき乗倍の速度に対応させることを特徴としたものである。

【0013】請求項4の発明は、送信データを拡散符号により拡散した拡散信号を受信し得た入力拡散信号を転送する入力信号転送手段と、前記拡散符号による参照信号を入力・転送する入力・転送手段と、該入力・転送手

段により転送された参照信号を保持するラッチ回路と、前記入力信号転送手段により転送される入力拡散信号と前記ラッチ回路に保持された参照信号との相関演算を複数のブロックに分割した信号の部分毎に実行する相関演算手段と、該相関演算手段により求めた部分相関値を加算するための加算回路と、前記部分相関値または前記加算回路により求めた加算値を前記送信データのデータ速度に応じて選択する選択回路とを備えるマッチトフィルタであって、複数のブロックに分割された信号の部分相関を実行する前記相関演算手段により求め前記選択回路で選択された前記部分相関値のうちいずれか1つ、或いは、前記加算回路により求めた加算値のうちいずれか1つは、前記入力拡散信号のメイン信号に対するフィルタ信号とし、その他の相関値は、マルチパス波に対するフィルタ信号としたことを特徴としたものである。

【0014】請求項5の発明は、請求項4の発明において、前記ラッチ回路に保持する参照信号を前記送信データに用いた参照信号に合わせて1データビット毎に変更することを特徴としたものである。

【0015】請求項6の発明は、請求項4又は5の発明において、前記相関演算手段として、拡散チップレート一定の条件で基本データ速度に用いる拡散符号のチップ数に対し2のべき乗分の1のチップ数の拡散符号に合わせた2のべき乗個のブロックに分割された部分相関を実行する手段を用いることにより基本データ速度の2のべき乗倍の速度に対応させることを特徴としたものである。

【0016】

【発明の実施の形態】本発明によるマッチトフィルタの実施の形態を添付図に基づいて以下に説明する。

(第1の実施の形態)図1は、本発明に係わるMFの実施形態を示すブロック図である。先ず、図1に示すMFへの入力信号について述べると、受信機のアンテナで受信されたSSまたはCDMA信号は増幅及び周波数変換され、ベースバンド信号に変換される。ここでは、デジタルでの信号処理を行うため、ベースバンド信号はA/D変換器によりデジタル量に変換されている。こうした処理がなされた入力信号11はベースバンドデジタル信号として、逆拡散のためにデジタルMFに入力される。入力信号11はクロック12によりN段のシフトレジスタ13中を転送されていく。一方、参照信号22は同様にN段のシフトレジスタ24に入力され、クロック21により転送される。シフトレジスタ24に逆拡散に用いるべき規定の符号長(Ns)及び符号種の参照拡散符号データが転送された時点で、制御信号26によりラッチ回路23に符号長Ns分(ここでは、N個)のデータを転送し保持する。

【0017】本実施形態のMFでは、あらかじめラッチ回路23に保持された参照信号と入力信号11が転送されているシフトレジスタ13との間での相関演算が実行

され、相関出力25が得られる。図1に示す相関演算回路14は図12に示した従来例と同様な構成であり、EXNOR素子17は符号長N個分配置し(図1では省略して1個のみ記す)、N段シフトレジスタ13とN段ラッチ回路23のそれぞれがこの論理素子によりEXNOR演算され、得たN個分の演算結果の加算がADDER回路18により実行され相関出力25が得られる。シフトレジスタ13、ラッチ回路23及び演算回路14で1個のMF(MFA)を構成している。

【0018】ここでは簡単のため、入力信号は拡散符号のチップあたり1回サンプリングされているとする。また、入力デジタルSSまたはCDMA信号11はデータ速度 f_d (bit/sec)に対し拡散符号周期長Ns, チップレート f_c (chip/sec)で拡散された信号とする。ここで、入力拡散符号周期長NsとMFA符号長Nが等しい場合を考える。入力デジタル拡散信号の拡散符号と参照符号(ラッチ回路23にメモリされた符号)との相関演算がMFAで実行され、入力された拡散信号と参照信号が同一の場合には自己相関演算となり図2に示す相関出力が得られる。図2は、マルチパス環境下での出力を示しており、メイン相関信号61, 71の他に、マルチパス信号62, 63がメイン信号61から遅延時間 T_{m1} , T_{m2} の時点に、また、マルチパス信号72, 73がメイン信号71から遅延時間 T_{m3} , T_{m4} の時点に出力されている。

【0019】図2は、音声のように低速データ(例えば8kbps)の例であり、 T_b (0.125msec)は入力信号の1データビット時間長を示しており、 $1/f_d$ に等しい。図2に示した例ではメイン信号61に対しマルチパス信号62, 63の遅延時間は1ビット時間長 T_b より短いため、引き続くデータの相関信号71に影響が及ばず、メイン信号とマルチパス信号の間の信号分離が可能となる。

【0020】音声・データ・画像等のマルチメディア通信に適用するには、上記した基本データ速度 f_d より高速なデータ速度に対応しなければならない。例えば、データ速度が基本データ速度 f_d の2倍に高速になった場合、1データビット長は $T_b/2$ になるため、マルチパス環境が図2と同一ならば、図4で示すようにマルチパス遅延波の分離及び検出が不可能になる。それは、図4に示すマルチパス成分82, 83, 92, 93のうち成分83, 93の遅延時間 T_{m6} , T_{m8} は、データ1ビット長 $T_b/2$ より大きいため隣接ビット間でマルチパス成分が重なるため、分離できないからである。

【0021】入力拡散符号周期長NsがMFの符号長Nよりも長い例を図3に示す。図3では、簡単のためNsはNの整数倍としている。したがって、入力拡散符号は図3に示すように、それぞれチップ数がNであるPN1, PN2, PN3...から成っていると考えることができる。この場合、MFAの動作として、入力拡散符号

列PN1, PN2, PN3...のうちまず最初に、シフトレジスタ24にPN1に対する参照符号の信号を入力し、ラッチ回路23に保持し、相関演算を実行する。その間に、PN2に対する参照符号をシフトレジスタ24に入力し、PN1の相関演算が完了した後、ラッチ回路23にPN2を転送、保持し、PN2の相関演算に移る。また、その間に同様にPN3をシフトレジスタ24に入力し、PN3の相関演算に備える。このような動作を繰り返すことにより、入力拡散符号長NsがMFの符号長よりも長い場合に対応できる。しかしながら、この場合にも、参照符号をPN1, PN2, PN3...のように切替えるため、図4に示すマルチパス成分83, 93と同様に、処理単位を越えるマルチパス成分を検出できなくなる。

【0022】データ速度を高速にすることに対応してマルチ成分を処理するために、以下の手段を講じるが、それは、チップレートfcが一定の条件下でデータ速度が2倍に高速になれば等価的にデータ1ビット長に対する拡散符号長が1/2になるため、図1に示すようにシフトレジスタ34及びラッチ回路33を設け、符号長N/2に対して動作させるようにする。すなわち、シフトレジスタ34に逆拡散すべき規定の符号長N/2の符号が転送された時点で、制御信号36によりラッチ回路33に符号長N/2分のデータを転送し保持する。ラッチ回路33に保持された参照信号と入力信号11が転送されているシフトレジスタ13との間での相関演算が実行され、相関出力35が得られる。相関演算回路64は図12に示した従来例と同様な構成でありEXNOR素子17は符号長N/2個配置し(図1では省略して1個のみ記す)、N段シフトレジスタ13のうちのN/2個とN/2段ラッチ回路33のそれぞれの信号がEXNOR演算され、ADDER回路18によりN/2個の加算が実行され相関出力35が得られる。このようにして、上記したMF Aと共通のシフトレジスタ13と、ラッチ回路33及び演算回路64とで1個のMF (MF B)を構成している。

【0023】図5は、MF A及びMF Bの参照符号の切り換え方法を示している。MFAは符号長NのMFとしての能力を持っているが、ここでは符号長N/2に対するMFとして機能する。図6は、入力拡散信号の各時間 $t=T1, T2, T3, T4$ での状況を示している。例えば、 $t=T1$ ではN/2チップから成るPN1はPN8, PN9, PN10に引き続き、また、PN2, PN3はPN1の後に位置している。ただし、この例では、入力拡散符号周期長Nsは符号長N/2の10系列, PN1, PN2...PN10から構成されているとする。

【0024】図5, 図6に示すように、 $t=T1$ においてPN1の相関を実行するために、MF AはPN1に対する参照符号が設定されている。シフトレジスタ13

の状態が入力拡散符号PN2になった時刻 $t=T2$ においてはMF AはPN2に対する相関演算を実行する。これは図5, 図6の $t=T2$ に示されている。すなわち、 $T2$ は $T1$ から1データビット時間経過後を表している。一方、図5よりMF Bでは $t=T2$ の状態はPN1の相関演算を実行しており、過去の時間に対する相関演算に対応している。これはマルチパス波が1データビット長以上にその遅延が及ぶ場合においてもMF Aのみでは検出できないが、MF Bにてその検出を行うことができることを意味する。以下同様に、 $t=T3$ ではMF AはPN3の相関演算を実行し、MF Bは1データビット遅延したPN2の相関演算を実行する。すなわち、MF Aではメイン信号に対するMFを構成し、MF Bはマルチパス波に対するMFを構成している。

【0025】次に、データ速度fdが4倍になった場合について説明する。符号長N/4に対するMF (MFC, MFD)が構成される。ここでは、符号長N/4に対し動作するシフトレジスタ44, 54及びラッチ回路43, 53を設け、シフトレジスタ44, 54に逆拡散すべき規定の符号長N/4の符号が転送された時点で、制御信号46, 56によりラッチ回路43, 53に符号長N/4分のデータを転送し保持する。ラッチ回路43, 53に保持された参照符号と入力信号が転送されているシフトレジスタ13との間での相関演算が実行され、相関出力45, 55が得られる。相関演算回路74, 84は図12に示した従来例と同様な構成であり、EXNOR素子17は符号長N/4個配置し(図1では省略して1個のみ記す)、N段シフトレジスタ13のうちのN/4個の加算が実行され相関出力45, 55が得られる。この実施例では、上記したMF A、さらにMF Bと共通のシフトレジスタ13、ラッチ回路43, 53及び演算回路74, 84でそれぞれ1個のMF (MFC, MFD)を構成している。

【0026】この場合、1データビット長は $Tb/4$ 、拡散符号長はN/4になる。図7は、MF A, MF B, MFC及びMFDの参照符号の切り換え方法を示すもので、各MFにおいて設定される参照符号信号の時間的な変化を表わしている。ここで、MFC及びMFDはN/4の符号長に対するMFを構成している、一方で、MF Aは符号長NのMFとしての能力を持っているが、ここでは符号長N/4に対するMFとして機能する。また、MF Bは符号長N/2のMFとしての能力を持っているが、ここでは符号長N/4に対するMFとして機能する。図8は、入力拡散信号の各時間 $t=T1, T2, T3, T4$ での状況を示している。例えば、 $t=T1$ ではN/4チップから成るPN1はPN18, PN19, PN20に引き続き、またPN2, PN3はPN1の後に位置している。ただしこの例では、入力拡散符号長N1は符号長N/4の20系列, PN1, PN2...PN20から構成されているとする。

【0027】図7、図8より $t=T1$ においてPN1の相関を実行するために、MF AはPN1に対する参照符号が設定されている。シフトレジスタ13の状態が入力拡散符号PN2になった時刻 $t=T2$ においてはMF AはPN2に対する相関演算を実行する。これは図7、図8の $t=T2$ に示されている。一方、図7よりMF Bでは $t=T2$ の状態はPN1の相関演算を実行しており、過去の時間に対する相関演算に対応している。これはマルチパス波が1データビット長以上に遅延波が及ぶ場合においても、MF Aのみでは検出できないが、MF Bにて検出を行うことができる。また、図7に示すように、MF Cでは $t=T3$ における状態はPN1の相関演算を実行しており、さらに1データビット長過去の時間に対する相関演算に対応している。

【0028】これは、マルチパス波が2データビット長以上にその遅延が及ぶ場合においてもMF A、MF Bでは検出できないが、MF Cにてその検出を行うことができることを意味している。さらに、図7に示すように、MF Dでは $t=T4$ における状態はPN1の相関演算を実行しており、さらに1データビット長過去の時間に対する相関演算に対応している。こうして、マルチパスが3データビット長以上に遅延波が及ぶ場合においても、MF A、MF B、MF C、MF Dはマルチパス波に対するMFを構成することになる。このように、複数のMFを構成し、参照信号をデータ1ビット毎にシフト及び変更することにより、いずれか1つのMFからはメイン信号、それ以外のMFからは1データビット以上遅延したマルチパス波が検出できる。

【0029】以上に説明したように、拡散チップレートが一定でデータ速度を可変した場合、高速データ速度に対してマルチパス波がデータ1ビット以上の遅延が存在しても検出ができ、Rake合成等のマルチパス対策処理に利用できる。以上の説明では入力拡散符号長NsがMFの符号長よりも長く、簡単のためNsはNの整数倍としたが、整数倍でなくとも上記した特徴は保持される。例えばPN1、PN2、PN3…の拡散符号長を任意に設定することにより可能である。図1の構成では高速データ速度に対してnデータビット長のマルチパス遅延波まで検出する場合、NチップのMFがn個必要ではなく、NチップのMF1個、 $N/2$ チップのMF1個、 $N/4$ チップのMFが2個のように大幅に減少したチップ数のMFを構成すればよい。

【0030】さらに、所要MFの数の削減をさらに図る手段を有する実施形態を添付図に基づいて次に説明する。

(第2の実施の形態) 図9は、本発明に係わるMFの実施形態を示すブロック図である。第1の実施の形態と同様に処理された入力信号11はベースバンドデジタル信号として逆拡散のためにデジタルMFに入力される。入力信号11はクロック12によりN段のシフトレジスタ

13中を転送されていく。一方、参照信号124は同様にN段のシフトレジスタ121に入力され、クロック123により転送される。シフトレジスタ121に逆拡散に用いるべき規定の符号長(Ns)及び符号種の参照拡散符号が転送された時点で、制御信号125によりラッチ回路122に符号長Ns分のデータを転送し保持する。本実施形態のMFでは、あらかじめラッチ回路122に保持された参照信号と入力信号11が転送されているシフトレジスタ13との間での相関演算が実行される。このための相関演算回路116は図12に示した従来例と同様な構成であり、EXNOR素子17は符号長Ns分(ここではN個)配置し(図9では省略して1個のみ記す)N段シフトレジスタ13とN段ラッチ回路122のそれぞれがこの論理素子によりEXNOR演算され、得たN個分の演算結果の加算がADDER回路18により実行される。図9では、演算回路116は、117、118、119、120に示すように4個に分割されている。すなわち符号長のうち $N/4$ 毎の部分相関 $\Sigma 4a$ 、 $\Sigma 4b$ 、 $\Sigma 4c$ 、 $\Sigma 4d$ が実行され、その部分相関値は図9で示すように105、106、107、108として出力される。

【0031】また、 $\Sigma 4a$ 、 $\Sigma 4b$ の出力105、106はADDER回路 $\Sigma 2a$ 109に入力され加算される、と同時に選択回路115にも入力される。そして、ADDER回路 $\Sigma 2a$ 109の出力111も選択回路115に入力される。同様に、 $\Sigma 4c$ 、 $\Sigma 4d$ の出力107、108はADDER回路 $\Sigma 2b$ 110に入力され加算される、と同時に選択回路115にも入力される。そして、ADDER回路 $\Sigma 2b$ 110の出力113も選択回路115に入力される。さらに、ADDER回路 $\Sigma 2a$ 109及びADDER回路 $\Sigma 2b$ 110の出力111、113は更にADDER回路 $\Sigma 1$ 126に入力されると同時に選択回路115にも入力される。また、ADDER回路 $\Sigma 1$ 126の出力112も選択回路115に入力される。

【0032】選択回路115は以下に説明するように、選択回路に入力された信号のうち1つをデータ速度に依存して選択し相関出力114を得るように機能する。このようにシフトレジスタ13、ラッチ回路122及び演算回路116でMFを構成し、選択回路からその出力を選択することにより出力を利用する。入力デジタルSSまたはCDMA信号11が第1の実施形態に示したデータ速度 f_d (bit/sec)の場合には、このMFは拡散符号長Ns(ここではN)のMFとして動作しなければならない。従って、図9のすべての部分相関 $\Sigma 4a$ 、 $\Sigma 4b$ 、 $\Sigma 4c$ 、 $\Sigma 4d$ からの出力を加算して使用するため、 $\Sigma 1$ からの信号112を出力として得る必要がある、この出力信号を選択回路115により選択する。

【0033】図9のMFの実施形態において、データ速

度 f_d が2倍に高速になった場合の動作について説明する。入力拡散信号11がシフトレジスタ13に入力され時刻 $t = T1$ における状況を図10の130に示す。データ速度 f_d が2倍に高速になっているため、データ1ビットに対応する拡散符号長は $N/2$ チップとなる。時間的には $N/2$ チップから成る拡散符号 $PN1$ が最初に入力され $PN2$ が引き続いている。この状態において、 N チップから成るラッチ回路122には、図10の131に示すように2個の同一の $N/2$ チップ拡散符号 $PN1$ 136, 137が保持されている。この状態を実現するには、図9の参照信号124として $N/2$ チップの拡散符号 $PN1$ を用意し、シフトレジスタ121に2回続けて入力し、そしてトータル N チップ入力が完了した時点で制御信号125によりラッチ回路122に転送し保持する。このようにして図10のラッチ回路の状態131が実現される。

【0034】時刻 $t = T1$ において、入力信号130の前半の $PN1$ 部135とラッチ回路131の $PN1$ 137との自己相関出力演算が実行され、この出力は図9の $\Sigma 4c$ 119と $\Sigma 4d$ 120からの信号107, 108を加算した $\Sigma 2b$ 110の出力113から得られる。一方、入力信号130の後半の $PN2$ 134部とラッチ回路131の $PN1$ 136との相関演算が実行されるが、この演算は相互相関となるため、一般に小さな出力となる。マルチパス環境下でデータの1ビット時間長以上の遅延波が存在する場合、時間的に先行した拡散符号 $PN1$ 135の遅延波が入力信号 $PN2$ 134部に存在する。このように入力信号134の部分に $PN1$ のマルチパス成分が存在すればラッチ回路131の136で示した $PN1$ との自己相関演算が実行される。従って、データ1ビット以上遅延したマルチパス成分は図9の $\Sigma 4a$ 117と $\Sigma 4b$ 118からの信号105, 106を加算した $\Sigma 2a$ 109の出力111から得られる。

【0035】時刻 $t = T2$ の入力信号の状態を図10の132に示す。この状態は、 $t = T1$ の時刻から1データビット時間経過後を表している。この状態において、 N チップから成るラッチ回路122は、図10の133に示すように2個の同一の $N/2$ チップ拡散符号 $PN2$ 140, 141が保持されている。この状態を実現するには、図9の参照信号124として $N/2$ チップの拡散符号 $PN2$ を用意し、シフトレジスタ121に2回続けて入力し、そしてトータル N チップ入力が完了した時点で制御信号125によりラッチ回路122に転送し保持する。このようにして図10のラッチ回路の状態133が実現される。

【0036】時刻 $t = T2$ において、入力信号132の前半 $PN2$ 139部とラッチ回路133の $PN2$ 141との自己相関出力演算が実行され、この出力は図9の $\Sigma 4c$ 119と $\Sigma 4d$ 120からの信号107, 10

8を加算した $\Sigma 2b$ 110の出力113から得られる。一方、入力信号132の後半の $PN3$ 138部とラッチ回路133の $PN2$ 140との相関演算が実行されるが、この演算は相互相関となるため一般に小さな出力となる。マルチパス環境下でデータの1ビット時間長以上の遅延波が存在する場合、時間的に先行した拡散符号 $PN2$ 139の遅延波が入力信号 $PN3$ 138部に存在する。このように入力信号132の部分に $PN2$ のマルチパス成分が存在すればラッチ回路133の140で示した $PN2$ との自己相関演算が実行される。従って、データ1ビット以上遅延したマルチパス成分は図9の $\Sigma 4a$ 117と $\Sigma 4b$ 118からの信号105, 106を加算した $\Sigma 2a$ 109の出力111から得られる。以上の動作の結果を得るべく、選択回路115では $\Sigma 2a$ と $\Sigma 2b$ の出力111, 113を選択することによりデータ2ビット分の相関演算ができる。

【0037】次に、データ速度 f_d が4倍に高速になった場合の図9のMFの実施形態の動作について説明する。入力拡散信号11がシフトレジスタ13に入力され時刻 $t = T1$ における状況を図11の150に示す。データ速度 f_d が4倍に高速になっているため、データ1ビットに対応する拡散符号長は $N/4$ チップとなる。時間的には $N/4$ チップから成る拡散符号 $PN1$ が最初に入力され、 $PN2$, $PN3$, $PN4$ が引き続いている。この状態において、 N チップから成るラッチ回路122には、図11の151に示すように4個の同一の $N/4$ チップ拡散符号 $PN1$ 164, 165, 166, 167が保持されている。この状態を実現するには、図9の参照信号124として $N/4$ チップの拡散符号 $PN1$ を用意し、シフトレジスタ121に4回続けて入力し、そしてトータル N チップ入力が完了した時点で制御信号125によりラッチ回路122に転送し保持する。このようにして図11のラッチ回路の状態151が実現される。

【0038】時刻 $t = T1$ において、入力信号150の先頭の $PN1$ 163部とラッチ回路151の $PN1$ 167との自己相関出力演算が実行され、この出力は図9の $\Sigma 4d$ 120からの信号108から得られる。一方、入力信号150の先頭から2番目の $PN2$ 162部とラッチ回路151の $PN1$ 166との相関演算が実行されるが、この演算は相互相関となるため一般に小さな出力となる。マルチパス環境下でデータの1ビット時間長以上に遅延波が存在する場合、時間的に先行した拡散符号 $PN1$ 163の遅延波が入力信号 $PN2$ 162部に存在する。このように入力信号162の部分に $PN1$ のマルチパス成分が存在すればラッチ回路122に保持されたラッチ回路の状態151の拡散符号166で示した $PN1$ との自己相関演算が実行される。従ってデータ1ビット以上遅延したマルチパス成分は図9の $\Sigma 4c$ 119の出力107から得られる。

【0039】同様に、入力信号150の先頭から3番

目、4番目のPN3 161, PN4 160とラッチ回路122のラッチ回路の状態151のPN1 165, 164との相関演算が実行されるが、この演算は相互相関となるため一般に小さな出力となる。マルチパス環境下でデータの1ビット時間長以上の遅延波が存在する場合、時間的に先行した拡散符号PN1 163の遅延波が入力信号PN3 161, PN4 160部に存在する。このように入力信号161, 160の部分にPN1のマルチパス成分が存在すればラッチ回路122のラッチ回路の状態151の165, 164で示したPN1との自己相関演算が実行される。従ってデータビットまで遅延したマルチパス成分は図9のΣ4b 118, Σ4a 117の出力106, 105から得られる。従って、図11のΣ4a, Σ4b, Σ4c, Σ4cからの出力105, 106, 107, 108を選択回路115で選択することにより、データ4ビット分の相関演算が実行できる。

【0040】時刻 $t = T2$, $T3$ の入力信号の状態を図11の入力信号152, 154に示す。この状態は、 $t = T1$ の時刻から1データビット時間後及び2データビット時間後を表している。上記で説明したと同様に、Σ4d 120からはメイン信号に対する自己相関出力、Σ4c 119からはメイン信号に対して1ビット以上遅延したマルチパス信号、Σ4b 118からはメイン信号に対して2ビット以上遅延したマルチパス信号、Σ4a 117からはメイン信号に対して3ビット以上遅延したマルチパス信号が検出でき、データ4ビット分の相関演算が可能となる。

【0041】上記したと同様に、データ速度が8倍のように2のべき乗になった場合には、相関演算回路は、Σ8a~Σ8hのように2のべき乗の部分相関を実行する手段を設けることによりデータ8ビット分及び2のべき乗個分の相関演算が実現できる。データ速度に関して、8kbps, 16kbps, 32kbps...等2のべき乗として利用されることが多いので、本発明で説明した可変データ速度は適用範囲が広い。

【0042】以上説明したように、図9の構成により、複数のブロックに分割された部分相関を実行する相関演算手段のうちいずれか1つから入力拡散信号のメイン信号に対するマッチトフィルタが構成され、その他の部分相関を実行する相関演算手段については、1データビット以上遅延したマルチパス波に対するマッチトフィルタが構成されている。以上は入力信号がデジタルであるデジタルMFの構成について説明した。しかし、CCDのようにアナログ入力信号をサンプリングして利用するアナログ信号に対するMFに対しても上記機能を実現できることは明らかである。

【0043】

【発明の効果】請求項1の発明に対応する効果：送信データのデータ速度が高速になって拡散符号長が短くな

り、1データビットの長さ（相関処理の長さ）を越え遅延するマルチパス波が生じても、個別の参照信号による相関処理で得られる複数のMF出力中メイン信号として用いる出力以外のMF出力により、マルチパス波を検出することができ、高速時のマルチパス波処理に対応したMFが提供できる。

【0044】請求項2の発明に対応する効果：請求項1の発明に対応する効果に加えて、1データビット毎にラッチ回路に保持する参照信号を変更することにより、1つのMFに複数のMFの機能を持たせることができ、ラッチ回路の規模を小型化できる。

【0045】請求項3の発明に対応する効果：請求項1および2の発明に対応する効果に加えて、実施に際しての有効な具体化条件を提供することができる。

【0046】請求項4の発明に対応する効果：送信データのデータ速度の高速化を行う場合のように変化する拡散符号長に対応する技術として、1個のMFにおいて各部分相関値を求め、データ速度に応じた数のMF出力を得るために、部分相関値を選択して用いることにより、メイン信号出力及びマルチパス信号出力として複数のMF出力を得て、高速時のマルチパス処理に対応することが可能となる。

【0047】請求項5の発明に対応する効果：請求項4の発明に対応する効果に加えて、ラッチ回路に保持する参照信号を1データビット時間毎に切替えて動作させるため、MFの規模を大きくすること無くデータ1ビット以上遅延するマルチパス信号の検出、処理が可能となる。

【0048】請求項6の発明に対応する効果：請求項4および5の発明に対応する効果に加えて、実施に際しての有効な具体化条件を提供することができる。

【図面の簡単な説明】

【図1】本発明に係わるMFの第1の実施の形態を示すブロック図である。

【図2】本発明に係わるMFの第1の実施の形態によるマルチパス環境下での相関出力を示す図である。

【図3】本発明に係わるMFの第1の実施の形態への入力拡散信号を示す概念図である。

【図4】本発明に係わるMFの第1の実施の形態による高速データ速度に対するマルチパス環境下での相関出力を示す図である。

【図5】本発明に係わるMFの第1の実施の形態におけるラッチ回路の参照符号の時間的变化を示す概念図である。

【図6】本発明に係わるMFの第1の実施の形態における入力拡散信号の状態の時間的变化を示す概念図である。

【図7】本発明に係わるMFの第1の実施の形態におけるラッチ回路の参照符号の時間的变化を示す概念図である。

【図8】本発明に係わるMFの第1の実施の形態における入力拡散信号の状態の時間的変化を示す概念図である。

【図9】本発明に係わるMFの第2の実施の形態を示すブロック図である。

【図10】本発明に係わるMFの第2の実施の形態におけるラッチ回路の入力拡散信号の状態の時間的変化を示す概念図である。

【図11】本発明に係わるMFの第2の実施の形態におけるラッチ回路の入力拡散信号の状態の時間的変化を示す概念図である。

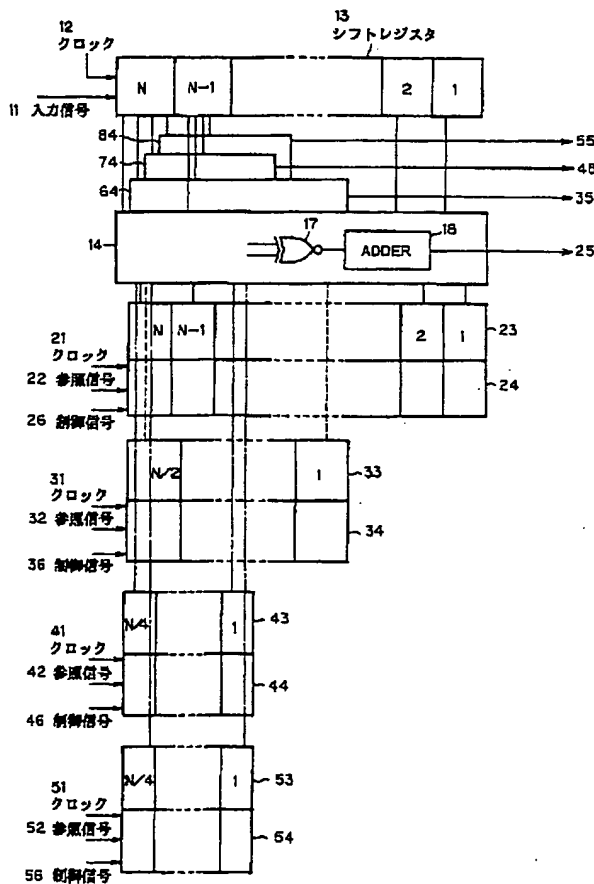
【図12】従来のデジタルMFの構成の一例を示すブロック図である。

【符号の説明】

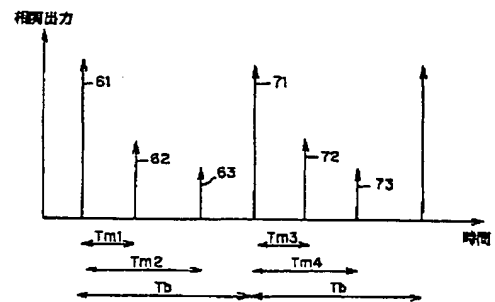
13, 24, 34, 44, 54, 121…シフトレジスタ、23, 33, 43, 53, 122…ラッチ回路、1

1, 130, 132, 150, 152, 154…入力信号、12, 21, 31, 41, 51, 123…クロック、14, 64, 74, 84, 116…相関演算回路、17…EXNOR素子、18…ADDER回路、22, 32, 42, 52, 124…参照信号、26, 36, 46, 56, 125…制御信号、61, 71, 81, 91, 101…メイン相関出力信号、62, 63, 72, 73, 82, 83, 92, 93, 102…マルチパス信号、25, 35, 45, 55, 114…相関出力信号、117, 118, 119, 120…部分相関演算回路、105, 106, 107, 108…部分相関出力、109, 110, 126…加算器、115…選択回路、136, 137, 140, 141, 164, 165, 166, 167, 172, 173, 174, 175, 180, 181, 182, 183…ラッチ回路に保持された参照符号。

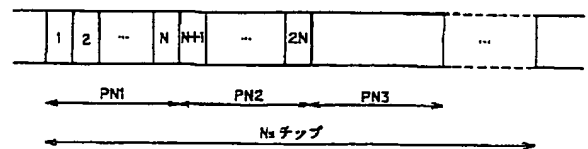
【図1】



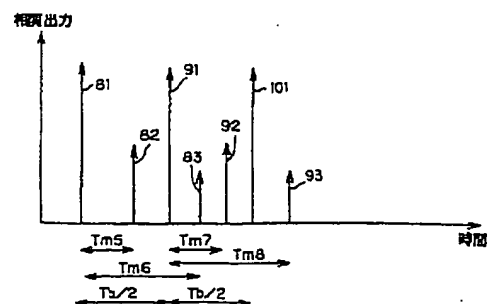
【図2】



【図3】



【図4】



【図5】

MF A	
t=T1	PN1
t=T2	PN2
t=T3	PN3
t=T4	PN4

MF B	
t=T1	PN10
t=T2	PN1
t=T3	PN2
t=T4	PN3

【図6】

t=T1	PN3	PN2	PN1	PN10	PN9	PN8
t=T2	PN4	PN3	PN2	PN1	PN10	PN9
t=T3	PN5	PN4	PN3	PN2	PN1	PN10
t=T4	PN6	PN5	PN4	PN3	PN2	PN1

N/2チップ

【図7】

MF A	
t=T1	PN1
t=T2	PN2
t=T3	PN3
t=T4	PN4

MF B	
t=T1	PN20
t=T2	PN1
t=T3	PN2
t=T4	PN3

【図8】

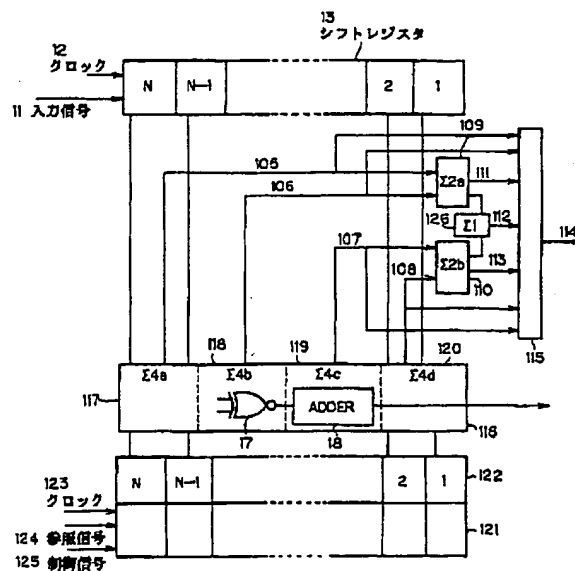
t=T1	PN3	PN2	PN1	PN20	PN19	PN18
t=T2	PN4	PN3	PN2	PN1	PN20	PN19
t=T3	PN5	PN4	PN3	PN2	PN1	PN20
t=T4	PN6	PN5	PN4	PN3	PN2	PN1

N/4チップ

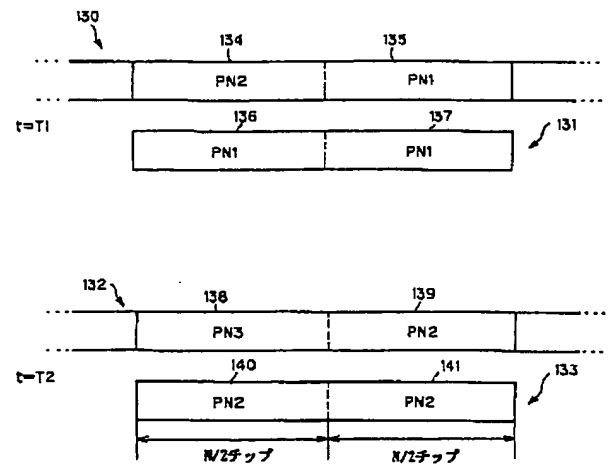
MF C	
t=T1	PN19
t=T2	PN20
t=T3	PN1
t=T4	PN2

MF D	
t=T1	PN18
t=T2	PN19
t=T3	PN20
t=T4	PN1

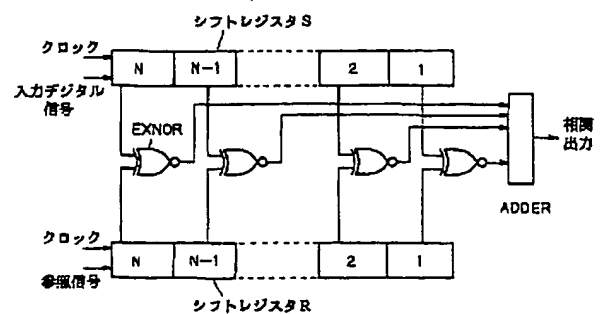
【図9】



【図10】



【図12】



【図11】

